

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-227980

(43) 公開日 平成8年(1996)9月3日

(51) Int. Cl. <sup>6</sup>	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 27/108		7735-4M	H 0 1 L 27/10	6 1 1
21/8242			G 1 1 C 11/34	3 5 2 A
G 1 1 C 14/00		7735-4M	H 0 1 L 27/10	6 5 1

審査請求 未請求 請求項の数 4 O L (全 26 頁)

(21) 出願番号 特願平7-32364

(22) 出願日 平成7年(1995)2月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 清利 正弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 岡野 晴雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 今井 肇太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

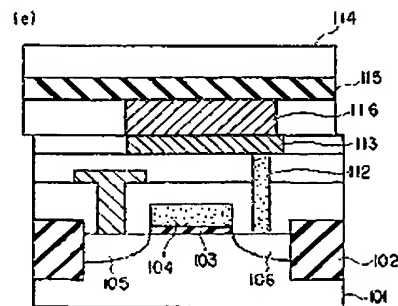
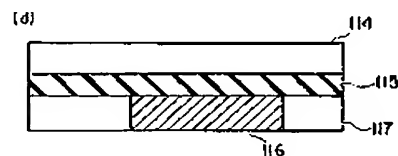
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ペロブスカイト結晶構造を有する誘電体膜を用いて、リーク電流が小さくかつ高誘電率を有する薄膜キャパシタを形成することができ、十分なキャパシタ容量を確保した平面型キャパシタセルを有する半導体装置を提供すること。

【構成】 トランジスタとキャパシタからなるメモリセルを有する半導体装置において、シリコン基板101にトランジスタを形成した第1の試料と、STO基板114にペロブスカイト結晶構造を有する誘電体膜をキャパシタ絶縁膜115としたキャパシタを形成した第2の試料と、第1の試料と第2の試料とを電気的に接続する導電体部分113、116とを有し、第2の試料が第1の試料に対して貼り合わされていることを特徴とする。



(2)

特開平8-227980

1

2

## 【特許請求の範囲】

【請求項1】第1の基板にトランジスタを形成した第1の試料と、第2の基板にキャパシタ又はキャパシタの一部を形成した第2の試料と、第1の試料と第2の試料とを電気的に接続する導電体部分とを有し、第2の試料が第1の試料に対して貼り合わされていることを特徴とする半導体装置。

【請求項2】第2の基板としてセラミックス基板を用い、第2の基板に形成するキャパシタ絶縁膜に結晶構造としてペロブスカイト構造をとる誘電体膜を用いたことを特徴とする請求項1記載の半導体装置。

【請求項3】第1の基板上にトランジスタを形成する工程と、第2の基板にキャパシタ又はキャパシタの一部を形成する工程と、第2の基板のキャパシタの電極と第1の基板のトランジスタのドレインとが電気的に接続するようにして、第2の基板を第1の基板のトランジスタを形成した面の上に位置するように貼り合わせる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】第2の基板としてセラミックス基板を用い、第2の基板に形成するキャパシタ絶縁膜に結晶構造としてペロブスカイト構造をとる誘電体膜を用いることを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶素子等のようにトランジスタとキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】情報の記憶動作を行うDRAM(Dynamic Random Access read write Memory)、FRAM(Ferroelectric Random Access read write Memory)、その他の集積回路の中で、電荷の蓄積を行うキャパシタは重要な素子の一つである。

【0003】近年、集積回路の高集積化、大容量化が急速に進むに伴い、微細化によるキャパシタ容量の低下を補うべく、トレンチセルやスタックドセルのようにキャパシタを立体構造とし、その側面を利用することにより高効率的なキャパシタ面積を稼ぐ工夫が行われている。そして、DRAMの世代交代毎にトレンチセルではトレンチの深さがますます深くなり、スタックドセルではクラウン型、フィン型、さらには表面を半球状シリコンで覆う粗面化など複雑な構造の採用を余儀なくされている。複雑な構造の採用は、必然的に製造工程数の増大、工程毎のプロセスタイムの長大化、必要設備数の増大を招き、結果的にコスト上昇を引き起こし、DRAMの生産コストに占めるキャパシタ関連のコストの比率も大きくなる傾向にある。

【0004】キャパシタ構造の複雑化による工程数の増大を抑制するには、キャパシタ絶縁膜として現在用いられているシリコン酸化膜、或いはシリコン窒化膜とシリ

コン酸化膜との積層膜(ONO膜、NO膜)よりも誘電率の大きい材料を用いて、プレーナ型セルなどの単純な構造でDRAMを製造することが必須と考えられている。このような要請から、誘電率がシリコン酸化膜に比べて20~1000倍以上も大きいチタン酸ストロンチウム、チタン酸バリウム、PZTを始めとするペロブスカイト型の結晶構造を有する高(強)誘電体材料を、キャパシタ絶縁膜に用いることが検討され始められている。

【0005】ところが、これらの高(強)誘電体膜は一般的に禁制帯幅が小さいために、膜本来の絶縁性は低い。DRAM等で用いられるような高(強)誘電体膜を膜厚0.1μm以下の薄膜キャパシタに用いた場合には、リーク電流はキャパシタ電極と高(強)誘電体界面とで仕事関数が異なることによって生じるショットキー障壁によって決定される。一方、このような高(強)誘電体材料は複数の金属を含む複合酸化化合物であり、高い誘電率或いは大きな残留分極の発現を得るには、ペロブスカイト型の結晶構造を乱れなく形成することが不可欠である。しかも、ペロブスカイト型の結晶構造を有する高誘電体膜を薄膜化していくと誘電率が低下するという性質がある。

【0006】そのため、高(強)誘電体膜を平面キャパシタ構造に適用するに際しては、必要なキャパシタ容量を確保するために薄膜化を進めていく必要がある。このような極薄膜において同時にリーク電流をDRAMのスペック以下に抑制する必要がある。ところが、前述のように高(強)誘電体薄膜キャパシタのリーク電流は界面のショットキーバリアによって決まっている。ショットキーバリアの形成に際しては、前述の電極、高(強)誘電体膜の仕事関数に加えて、界面の不純物濃度、結晶欠陥等のキャリアトラップ密度、界面の平坦性等が極めて重要になる。

【0007】一方、キャパシタの容量を確保する上から極薄膜でも高い誘電率を発生させることは極めて重要であるが、前述のようにペロブスカイト構造を有する高誘電体膜、或いは強誘電体膜の場合、結晶構造が膜全体に亘って乱れなく組まれていることが、高誘電率(高残留分極)発現の必須条件になっており、界面の影響を受け易い薄膜高(強)誘電体膜キャパシタにおいて高(強)誘電率を発生させるのは困難が伴う。

【0008】実際のDRAMは単結晶シリコン基板上に形成されるものであり、セラミックスである高(強)誘電体を従来のDRAMプロセスに取り入れて前述のような要求をクリアしていくのは極めて困難である。高(強)誘電体薄膜キャパシタの電極としては耐酸化性があることから白金が用いられる例が多いが、シリコン乃至層間絶縁膜に用いられるシリコン酸化膜等のうえに白金を形成すると白金は多結晶になってしまい、その表面は原子レベルでは凹凸となっている。この電極上に高

(3)

特開平8-227980

3

(強)誘電体膜を成膜した場合、高(強)誘電体膜も多結晶膜になり、粒径の大きさに誘電率が依存するようになると共に、電極表面の凹凸或いは結晶粒界に起因するリーク電流が流れるようになり、高性能なキャパシタを実現することは不可能であった。

【0009】また、高(強)誘電体膜の結晶状態を良くするには一般に高温の熱処理が必要であるが、シリコン基板上にトランジスタ等を形成した後にこのような高温熱処理を施すと、不純物の再拡散等によりトランジスタ特性の劣化を招く問題があった。

【0010】

【発明が解決しようとする課題】半導体集積回路に誘電率の高いチタン酸ストロンチウム、チタン酸バリウム、PZT等のようなペロブスカイト結晶構造を有する高(強)誘電体膜を適用して、製造コスト削減効果の大きい平面型セルを実現するに際しては、前述のような電極、高(強)誘電体膜の仕事関数に加えて、界面の不純物単位、結晶欠陥等のキャリアトラップ密度、界面の平坦性を制御し、リーク電流の抑制と誘電率の減少の抑制とが不可欠になる。

【0011】本発明は、上記事情を考慮してなされたもので、その目的とするところは、例えばペロブスカイト結晶構造を有する誘電体膜を用いて、リーク電流が小さく、かつ高誘電率を有する薄膜キャパシタを形成することができ、十分なキャパシタ容量を確保した平面型キャパシタセルを有する半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の骨子は、トランジスタを形成した基板上にキャパシタを形成するのではなく、トランジスタを形成した基板とは別の基板に、例えばペロブスカイト結晶構造を有する高(強)誘電体膜を用いたキャパシタを形成し、これらの基板を貼り合わせて一体化することにある。

【0013】即ち本発明(請求項1)は、トランジスタとキャパシタを有する半導体装置において、第1の基板にトランジスタを形成した第1の試料と、第2の基板にキャパシタ又はキャパシタの一部を形成した第2の試料と、第1の試料と第2の試料とを電気的に接続する導電体部分とを有し、第2の試料が第1の試料に対して貼り

【0014】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 第2の試料が第1の試料のトランジスタを形成した面に貼り合わされていること。
- (2) 第2の試料と第1の試料が第3の基板の上に位置すること。
- (3) 第2の試料が第1の試料のトランジスタを形成した側の少なくとも一部の面の上に位置すること。
- (4) 第2の試料に形成されたキャパシタを構成する電極

4

膜或いは絶縁膜の少なくとも一つが、第2の基板に対してエピタキシャル成長したエピタキシャル膜であること。

- (5) 第2の基板としてセラミックス基板を用いること。
- (6) 第2の基板に形成するキャパシタの電極として、透明な誘電体膜を用いること。
- (7) 第2の基板に形成するキャパシタ絶縁膜に、結晶構造としてペロブスカイト構造をとる誘電体膜を用いること。

- 10 (8) 1トランジスタ/1キャパシタのメモリセルを構成すること。
- (9) キャパシタは平面型セルであること。

【0015】また、本発明(請求項3)は、トランジスタとキャパシタを有する半導体装置の製造方法において、第1の基板上にトランジスタを形成する工程と、第2の基板上にキャパシタ又はキャパシタの一部を形成する工程と、第2の基板上のキャパシタの電極と第1の基板上のトランジスタのドレインとが電気的に接続するようにして、第2の基板を第1の基板のトランジスタを形成した面の上に位置するように貼り合わせる工程とを含むことを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 第1の基板と第2の基板とを、第2の基板上のキャパシタの電極と第1の基板上のトランジスタのドレインに接続するコンタクト導電体とを接続するようにして貼り合わせる。

- (2) 第1の基板と第2の基板とを電気的に接続する導電体は第1の導電体と第2の導電体とからなり、第1の導電体を第1の基板上に、第2の導電体を第2の基板上に形成し、第1の導電体と第2の導電体とを接続するようにして貼り合わせることによって第1の基板と第2の基板とを貼り合わせる。

- (3) 第1の基板と第2の基板とを、第2の基板上のキャパシタ絶縁膜と第1の基板上のトランジスタのドレインに接続するキャパシタの電極とが接続するようにして貼り合わせる。

- (4) 第1の基板上にトランジスタと該トランジスタのドレインに接続するキャパシタとを形成し、第2の基板上にキャパシタを形成し、第2の基板上のキャパシタの電極と第1の基板上のキャパシタの電極とが接続するようにして、第1の基板と第2の基板とを貼り合わせる。

- (5) 第1の基板と第2の基板とを貼り合わせる方法として、第1の基板上のトランジスタのドレインに電気的に接続された第1の金属膜と、第2の基板上のキャパシタ電極に接続された第2の金属膜とを接触させ、熱処理によって第1及び第2の金属膜を溶融させる。

- (6) 第1の基板と第2の基板とを貼り合わせる方法として、第1の基板上のトランジスタのドレインに電気的に

(4)

特開平8-227980

5

接続された多結晶シリコン膜、単結晶シリコン膜、又は非晶質シリコン膜と、第2の基板上のキャパシタ電極に接続された第2の金属膜とを接触させ、熱処理によってシリサイドーションを起こさせること。

(7) 第1の基板と第2の基板とを貼り合わせる方法として、いずれか一方の基板上に形成した凹部に、もう一方の基板全面に成膜した金属を溶解させて流し込むこと。

(8) 第1の基板と第2の基板とを貼り合わせた後に、少なくとも素子分離領域の一部を形成すること。

(9) 第2の基板としてセラミックス基板を用い、第2の基板上に形成するキャパシタ絶縁膜に結晶構造としてペロブスカイト構造をとる誘電体膜を用いること。

【0017】

【作用】本発明では、トランジスタを形成した第1の基板（例えばシリコン基板やSOI基板）と、例えばペロブスカイト結晶構造を有する高誘電体膜を用いたキャパシタを形成した第2の基板（例えばセラミック基板）とを貼り合わせることに、例えばDRAMのメモリセルを形成している。このように、シリコン上に形成されるトランジスタとは独立にキャパシタを形成することにより、例えばセラミックス基板上にエピタキシャル成長させた高（強）誘電体膜を用いることができる。このような高（強）誘電体膜では界面の欠陥が少なく、平坦性も高いために良好なショットキーバリアが形成され、極薄酸化してもリーク電流が低く、かつキャパシタ絶縁膜が高誘電率を発現するキャパシタを実現することができ、その結果として平面型セルを実現することが可能となる。

【0018】通常の基板貼り合わせでは1000℃以上の高温での長時間の熱処理が行われるが、このような熱工程を施した場合に予め基板上に例えばトランジスタ或いは高濃度の拡散層などが形成されていると、不純物の熱拡散などによる特性の劣化が問題になる。本発明では、以下の実施例に示すようにコンタクト或いは電極等の金属部分を融着させることによって貼り合わせを行い、低温で基板貼り合わせを可能にする。1GビットDRAM等の高集積半導体装置では、チップ面積に占めるコンタクト面積も大きくなるのでこのような貼り合わせが可能になる。一方、このような微細な素子において貼り合わせを行う際に貼り合わせの精度を確保することが問題になる。これについては、実施例で対策の幾つかを示した。

【0019】このような製造方法をとることで、本発明では、DRAMのキャパシタの部分シリコン基板、又はSOI基板上に形成されたスイッチング素子と独立に形成することができる。そのため、キャパシタを形成する基板として高誘電体膜をエピタキシャル成長させることができる基板を用いることができる。また、キャパシタを形成する工程の際にトランジスタへの影響を考慮する必要がないので、例えば1500℃以上の熱処理によ

6

る高誘電体膜中への残留応力を解放する、或いは高誘電体膜を高温処理後に急冷することにより理想的な結晶状態を実現する等の手法が可能になり、熱プロセスの自由度が大きくなるという利点がある。

【0020】また、シリコン基板或いは層間絶縁膜に用いられるシリコン酸化膜等を溶解してしまうような強酸での処理、シリコン基板に取り込まれると不純物となって素子の特性を劣化させるような金属を用いた処理、例えば塩基性薬品での処理、また金属化合物を用いたリソグラフィのマスク形成、また金属錯体溶液等によるエッチング、ドーパント金属のキャパシタ電極への熱拡散、金属化合物研磨剤による機械研磨等の化学的処理の自由度が増し、高性能のキャパシタ実現が可能になる。

【0021】具体的には高（強）誘電体膜を導電性セラミックス基板、或いはセラミックス基板の上にエピタキシャル成長させた導電体上に形成することができ、高誘電体膜をホモエピタキシャル或いはホモエピタキシャル成長に準ずる結晶性を持つエピタキシャル成長を行うことが可能になる。次に、高誘電体膜をホモエピタキシャル成長できた場合の利点を示す。

【0022】図27に、成膜温度600℃でMOCVD法により、単結晶ニオブ（Nb）ドーブSrTiO<sub>3</sub>

（以下、とSTO略記）基板上にホモエピタキシャル成長させた膜厚10nmのSTO膜と、多結晶白金上に成長させた膜厚10nmの多結晶STO膜とのそれぞれのリーク電流特性を示す。単結晶NbドーブSTO基板上に形成したキャパシタの方がリーク電流が少ない。これは、電極/STO界面の平坦性の差に加えて、結界が電気伝導を起こし易くしているためである。

【0023】図28には、成膜温度600℃でMOCVD法により、単結晶NbドーブSTO基板上にホモエピタキシャル成長させた単結晶STO膜と、多結晶白金上に成長させた多結晶STO膜とのそれぞれの誘電率の膜厚依存性を示す。図より分かるように単結晶STO膜では誘電率の膜厚依存性が小さく、薄酸化をはかっていくほど多結晶STO膜との差が大きくなる。

【0024】図29には、MOCVD法により単結晶NbドーブSTO基板上にホモエピタキシャル成長させたSTO膜の誘電率の成膜温度依存性を示す。このようなホモエピタキシャル成長させた単結晶STO膜でも成膜温度により誘電率は異なり、高温ほど誘電率は大い。これは、STO膜中の欠陥などが高温での成膜ほど減少する傾向にあるためである。この例では、最高1200℃でSTO膜を成膜しているが、従来のシリコン基板上にスイッチング素子としてのトランジスタを形成した後キャパシタを形成するプロセスでは、このような高温プロセスは許容されない。

【0025】ところが、本発明ではキャパシタはトランジスタとは独立の基板上に形成するので、このような高品質のキャパシタ高誘電体膜を利用することも可能にな

50

(5)

特開平8-227980

7

8

る。なお、このような高温での成膜によって高誘電体膜の誘電率が增大する傾向はエピタキシャル膜に止まるものではなく多結晶膜においても、ほぼ同様の効果が得られることを本発明者らは確認している。

【0026】図30には、成膜温度570℃のスパッタ法により、単結晶N<sub>2</sub>基板の上にL<sub>2</sub>A<sub>2</sub>D<sub>2</sub>P<sub>2</sub>T（以下、PL<sub>2</sub>Tと略記する）膜をホモエピタキシャル成長させて形成した単結晶PL<sub>2</sub>T薄膜キャパシタと、従来の多結晶シリコン電極上に形成した多結晶PL<sub>2</sub>T薄膜キャパシタとのそれぞれの疲労度を、残電分極の書き込み／読み出し回数依存性によって示したものである。単結晶PL<sub>2</sub>T膜では書き込み／読み出しを繰り返しても疲労が殆ど生じないことが分かる。本発明の方法によれば、このような疲労が殆どない強誘電体薄膜キャパシタを独立に形成した後に、シリコン基板上に形成したスイッチング素子と貼り付けてメモリセルを形成することにより、高性能の不揮発性記憶装置、例えばFRAMを製造することが可能になる。

【0027】以上ではキャパシタの性能上の利点をあげたが、本発明の方法を用いれば平面キャパシタの実現が可能になり、製造上極めて容易になる。また、キャパシタを形成する基板にはキャパシタのみが作られるために、チップ面積を最大限にキャパシタとして利用できる。また、基板貼り合わせを用いると実施例に示したような平面キャパシタを積層した構造を作ることができ、前述のキャパシタ自体の性能向上と合わせて、更に集積度の大きい半導体装置への適用も可能になる。

【0028】

【実施例】以下、本発明の実施例を図面を参照して説明する。

〈実施例1〉図1及び図2は、本発明の第1の実施例に係わる半導体記憶装置（DRAM）の製造工程を示す断面図であり、特にメモリセル部の構成を示している。

【0029】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを、第1の基板のコンタクトの導電体と第2の基板のキャパシタの電極とで接続するものである。

【0030】まず、図1（a）に示すように、比抵抗10Ωcmの（100）単結晶シリコン基板101上にシリコン熱酸化膜（図示せず）を形成し、続いて研磨隔壁層、シリコン酸化膜（図示せず）をCVD法により堆積する。その後、通常のフォトリソ法によって上記シリコン酸化膜をパターニングし、このシリコン酸化膜をマスクとして研磨隔壁層、シリコン熱酸化膜、単結晶シリコン基板101を順次異方性エッチングし、素子分離領域102となる溝を形成する。

【0031】次いで、素子分離領域102となる溝中にシリコン酸化膜をLPCVD法により埋め込み、さらにマスクのシリコン酸化膜及び埋め込み材のシリコン酸化膜を研磨隔壁層表面までエッチバックして平坦化すこ

とにより、素子分離領域102の上部にのみ残存せしめる。続いて、研磨隔壁層を剥離し、さらに弗酸等によりシリコン熱酸化膜を剥離する。その後、ゲート酸化膜となる薄いシリコン熱酸化膜103を形成する。

【0032】次いで、単結晶シリコン基板101全面にLPCVD法によりn<sup>+</sup>型多結晶シリコンを形成し、通常のフォトリソ法によってパターニングすることにより、ゲート電極104を形成する。続いて、単結晶シリコン基板101に対してイオン注入を行い、ゲート電極104直下の領域を介して相互に隣接された領域に自己整合的にn<sup>+</sup>型領域（ソース・ドレイン）105、106を形成する。

【0033】次いで、基板全面に薄いCVD酸化膜107を形成し、これを通常のフォトリソ法に従ってパターニングすることによりn<sup>+</sup>型領域105に連通するコンタクトホール108を形成する。続いて、CVD酸化膜107及びコンタクトホール108の表面にタンタムシリサイド膜を堆積し、通常のフォトリソ法に従ってパターニングすることによりビット線109を形成する。その後、基板全面にCVD酸化膜110を堆積する。

【0034】次いで、図1（b）に示すように、CVD酸化膜110、CVD酸化膜107を通常のフォトリソ法によりパターニングして、n<sup>+</sup>型領域106に連通するコンタクトホール111を形成する。続いて、LPCVD法による多結晶シリコン膜112を基板全面に形成し、エッチバックによりコンタクトホール111中に埋め込む。

【0035】次いで、図1（c）に示すように、スパッタ法により窒化チタン膜113を基板全面に形成する。続いて、基板全面にレジスト（図示せず）を塗布し、通常のフォトリソ法に従ってパターニングすることにより、キャパシタを接続するコンタクトを形成する。その後、基板全面に層間絶縁膜121を形成し、平坦化を行い、窒化チタン膜113の表面を露出させる。以上の工程によりスイッチング素子としてのトランジスタを形成した第1の基板が形成された。

【0036】一方、図2（d）に示すように、単結晶（100）方位、1重量%のNbドープSTO基板114にBa<sub>0.1</sub>Sr<sub>0.9</sub>TiO<sub>3</sub>膜（以下、BSTO膜と略記）115を3nmスパッタ法により形成する。続いて、BSTO膜115上にスパッタにより白金膜116を形成する。その後、白金膜116上にレジストを塗布し、周知のリソグラフィ技術によりレジストをパターニングする。続いて、反応性イオンエッチングで白金膜116を加工して電極のパターンを形成し、その後にレジストパターンを剥離する。

【0037】次いで、プラズマCVD法によりシリコン酸化膜117を基板全面に成膜し、白金膜116電極を研磨隔壁層としてシリコン酸化膜117を研磨する。以

(6)

特開平8-227980

9

10

上の工程によりキャパシタを形成した第2の基板が形成された。

【0038】次いで、図2(e)に示すように、第1の基板上の窒化チタン膜113と第2の基板上の白金膜116とが重なるように、第1の基板と第2の基板を重ね合わせ、950℃、60分の熱処理を行い、2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0039】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は周知であるので省略する。

【0040】なお、本実施例では白金と窒化チタン及びシリコン酸化膜同士の貼り合わせを例としてあげたが、窒化チタンの代わりにチタン膜、タンタル膜、窒化タンタステン膜、窒化モリブデン膜等、白金のシリコンへの拡散を抑制する導電体膜を用いることも可能である。

〔実施例2〕図3及び図4は、本発明の第2の実施例に係わる半導体記憶装置の製造工程を示す断面図である。本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを、第1の基板に形成したコンタクトの導電体と第2の基板のキャパシタの電極に接続して形成したコンタクトの導電体とで接続して貼り合わせるものである。

【0041】まず、図3(a)に示すように、第1の実施例と同様に、単結晶シリコン基板201上に、素子分離領域202、シリコン熱酸化膜203、ゲート電極204、 $n^+$ 型領域205、206を形成する。続いて、基板全面に厚いCVD酸化膜207を形成し、これを通常のフォトリソ法に従ってパターニングすることにより、 $n^+$ 型領域205に連通するコンタクトホール208を形成する。その後、CVD酸化膜207及びコンタクトホール208の表面にタンタステンシリサイド膜を堆積し、通常のフォトリソ法に従ってパターニングすることによりビット線209を形成する。

【0042】次いで、基板全面にCVD酸化膜210を堆積した後、CVD酸化膜210、CVD酸化膜207を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域206に連通するコンタクトホール211を形成する。その後、選択CVD法によるタンタステン膜212をコンタクトホール211中に埋め込む。続いて、スパッタ法によりアルミニウム膜213を基板全面に形成した後、基板全面にレジストを塗布し、通常のフォトリソ法に従ってパターニングすることにより、キャパシタを接続するコンタクトの一部を形成する。

【0043】次いで、図3(b)に示すように、基板全面に層間絶縁膜221を形成し、エッチバックして平坦化し、アルミニウム膜213を露出させる。以上の工程により、スイッチング素子を形成した第1の基板が形成

された。

【0044】一方、図3(c)に示すように、単結晶(100)方位、1重歪%のNドープSTO基板214上にBSTO膜215を3nmスパッタ法により形成する。続いて、BSTO膜215上にスパッタにより白金膜216を形成する。その後、白金膜216上にレジスト(図示せず)を塗布し、周知のリソグラフィ技術によりレジストをパターニングする。そして、反応性イオンエッチングで白金膜216を加工して電極のパターンを形成した後、レジストパターンを剥離する。

【0045】次いで、図4(d)に示すように、プラズマCVD法によりシリコン酸化膜217を基板全面に成膜し、通常のフォトリソ法により白金膜216に達するコンタクトホール218を形成する。続いて、基板全面にアルミニウム膜219を形成し、化学的機械研磨法により、アルミニウム膜219をコンタクトホール218内部にのみ残存せしめる。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0046】次いで、図4(e)に示すように、第1の基板上のアルミニウム膜213と第2の基板上のコンタクトホール218内のアルミニウム膜219とが重なるように、第1の基板と第2の基板を重ね合わせ、600℃、100分の熱処理を行い、アルミニウム膜同士を融着させて2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0047】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

【0048】本実施例の方法を用いることにより、低温での基板貼り合わせが可能である。これは、Gビット級のメモリでは半導体装置の面積に占めるコンタクトの面積が極めて大きくなるためである。

【0049】なお、本実施例ではコンタクトとしてアルミニウムを用いたが、任意の導電体膜、例えばCu、W、Mo等の金属膜又は半導体に不純物をドーブした導電体を用いて、該導電体の融点以上の温度で熱処理を行う方法で接続することも可能である。

【0050】また本実施例では、基板貼り合わせの際の合わせ精度の問題には特に言及しなかったが、貼り合わせを行う両基板のうち一方の基板のコンタクトを最小加工寸法以下に加工することで、合わせを容易に行うことが可能である。例えば図4を例に説明すると、アルミニウム膜219を埋め込むコンタクトホール218の径を側壁無し異方性エッチング等によって最小加工寸法以下に加工した場合、アルミニウム膜213をほぼセル面積まで大きく加工しておけば合わせずればセルのサイズ程度まで許容されることになる。

〔実施例3〕図5は、本発明の第3の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

(7)

特開平8-227980

11

【0051】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板を貼り合わせる方法として、第2の基板上に形成したキャパシタ上部電極になる導電体膜を、第1の基板に形成したキャパシタ電極の形状をした凹部に融解させて流し込むことによって接続するものであり、従って基板貼り合わせの際に厳密な合わせを必要とせず、ある程度の自己整合的な接続が可能となる。

【0052】まず、図5(a)に示すように、第2の実施例と同様に、単結晶シリコン基板301上に、素子分離領域302、シリコン熱酸化膜303、ゲート電極304、 $n^+$ 型領域305、306を形成し、層間絶縁膜となるCVD酸化膜307を成膜して $n^+$ 型領域305に追通するコンタクトホール308を開口する。続いて、コンタクトホール308内にタングステンシリサイド膜を形成しビット線309を形成する。

【0053】次いで、基板全面にCVD酸化膜310を堆積した後、CVD酸化膜310、CVD酸化膜307を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域306に追通するコンタクトホール311を形成する。続いて、選択CVD法によるタングステン膜312をコンタクトホール311中に埋め込む。その後、基板全面にレジスト(図示せず)を塗布し、通常のフォトリソ法に従ってパターニングすることにより、キャパシタを接続するためのコンタクト凹部を形成する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0054】一方、図5(b)に示すように、単結晶(100)方位のMgO基板313上に成膜温度400℃でスパッタ法により白金膜314を成膜する。この白金膜314は(100)配向でエピタキシャル成長する。続いて、白金膜314上にBSTO膜315を3nmスパッタ法により形成する。その後、前記BSTO膜315全面にスパッタによりアルミニウム膜316を形成する。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0055】次いで、図5(c)に示すように、第1の基板と第2の基板を重ね合わせ、580℃～600℃の熱処理を行い、アルミニウムを融解させながら、基板に徐々に圧力を印加していく。このとき、アルミニウム膜316がリフローを起こし、第1の基板に形成したコンタクト凹部内に流れ込む。

【0056】次いで、図5(d)に示すように、熱処理しながら、アルミニウム膜316をコンタクト凹部内に完全に流れ込み、2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0057】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

12

(実施例4) 図6～図8は、本発明の第4の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0058】本実施例は、トランジスタとキャパシタを形成した第1の基板とキャパシタを形成した第2の基板とを、第1の基板のキャパシタの電極と第2の基板のキャパシタの電極とで接続するものである。

【0059】まず、図6(a)に示すように、第3の実施例と同様に、単結晶シリコン基板401上に、素子分離領域402、シリコン熱酸化膜403、ゲート電極404、 $n^+$ 型領域405、406を形成し、層間絶縁膜となるシリコン酸化膜407を成膜して $n^+$ 型領域405に追通するコンタクトホール408を開口する。続いて、コンタクトホール408内にタングステンシリサイド膜を形成しビット線409を形成する。

【0060】次いで、基板全面にCVD酸化膜410を堆積した後、CVD酸化膜410、CVD酸化膜407を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域406に追通するコンタクトホール411を形成する。続いて、選択CVD法によるタングステン膜431をコンタクトホール411中に埋め込む。そして、基板全面にレジスト(図示せず)を塗布し、通常のフォトリソ法に従ってパターニングすることにより、キャパシタを接続するコンタクト凹部412を形成する。続いて、スパッタにより基板全面に白金膜413を形成する。その後、化学的機械研磨法により白金膜413をコンタクト凹部412内のみ残存せしめる。

【0061】次いで、図6(b)に示すように、基板上にスパッタ法により第1のSTO膜414、第2の白金膜415、第3のSTO膜416、第3の白金膜417をこの順序に形成する。続いて、通常のフォトリソ法により前記第3の白金膜417をパターニングする。

【0062】次いで、図6(c)に示すように、第3の白金膜417上にレジスト(図示せず)を塗布し、通常のリソグラフィ技術によりパターニングを行う。続いて、異方性エッチングにより、第3の白金膜417、第2のSTO膜416、第2の白金膜415、第1のSTO膜414を順次エッチングして、第1の白金膜413に追通するコンタクトホール418を形成する。

【0063】次いで、図7(d)に示すように、CVD法により基板全面にシリコン窒化膜419を形成し、異方性エッチングによりシリコン窒化膜419をコンタクトホール418の側壁にのみ残存せしめる。

【0064】次いで、図7(e)に示すように、選択CVD法によりタングステン膜420を前記第3の白金膜417上とコンタクトホール418内部にのみ成膜する。次いで、図7(f)に示すように、基板全面にプラズマCVD法によりシリコン酸化膜421を形成し、化学的機械研磨法により、タングステン膜420の表面まで研磨する。以上の工程により、スイッチング素子を形

13

成した第1の基板が形成された。

【0065】一方、図8(g)に示すように、単結晶(100)方位のMgO基板425上に成膜温度400℃でスパッタ法により白金膜422を成膜する。この白金膜422は(100)配向でエピタキシャル成長する。白金膜422をパターンニングし、第1の基板と同様に平坦化した後に、白金膜422上に第3のSTO膜、第5の白金膜、第4のSTO膜、第6の白金膜をこの順序に形成し、第1の基板の場合と同様にコンタクトホール423を形成し、シリコン窒化膜の側壁残しをして、タンゲステン膜424を埋め込み後、層間絶縁膜を形成してキャパシタ電極となるタンゲステン膜424を研磨法により露出させる。これにより、キャパシタを形成した第2の基板が形成された。

【0066】次いで、図8(h)に示すように、第1の基板のタンゲステン膜420と第2の基板のタンゲステン膜424とを重ね合わせ、圧力を印加しながら900℃の熱処理を行い2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0067】その後、適当な部分で第2の白金膜415と第5の白金膜の導通をとる。そして、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い配線の形成を行い集積回路を作成するが、これらの工程は省略する。

(実施例5) 図9は、本発明の第5の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0068】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板との貼り合わせ後に素子分離工程を行うもので、貼り合わせの際の合わせ精度が低くても問題ない。

【0069】まず、図9(a)に示すように、単結晶シリコン基板501上にゲート酸化膜となる薄いシリコン熱酸化膜502を形成する。続いて、熱酸化膜502上の全面にLPCVD法により $n^+$ 型多結晶シリコン503を形成し、通常のフォトリソ法によってパターンニングすることにより、ゲート電極503を形成する。その後、単結晶シリコン基板501に対してイオン注入を行い、ゲート電極503直下の領域を介して相互に離間された領域に自己整合的に $n^+$ 型領域504、505を形成する。

【0070】次いで、基板全面に厚いCVD酸化膜506を形成し、これを通常のフォトリソ法に従ってパターンニングすることにより、 $n^+$ 型領域504に連通するコンタクトホール507を形成する。続いて、CVD酸化膜506及びコンタクトホール507の表面にタンゲステンシリサイド膜を堆積し、通常のフォトリソ法に従ってパターンニングすることによりビット線508を形成する。その後、基板全面にCVD酸化膜509を堆積し、CVD酸化膜509、CVD酸化膜506を通常のフォトリソ法によりパターンニングして、

(8)

特開平8-227980

14

$n^+$ 型領域505に連通するコンタクトホール510を形成する。そして、選択CVD法によるタンゲステン膜511をコンタクトホール510中に埋め込む。

【0071】次いで、スパッタ法により窒化チタン膜512を基板全面に形成した後、基板全面にレジストを塗布し、通常のフォトリソ法に従ってパターンニングすることにより、キャパシタを接続するコンタクトを形成する。続いて、プラズマCVDによりシリコン酸化膜513を基板全面に成膜し、窒化チタン膜512を研磨層として化学的機械研磨によってシリコン酸化膜513を除去する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0072】一方、図9(b)に示すように、単結晶(100)方位、1重%のNbドープSTO基板514上にBSTO膜515を3nmスパッタ法により形成する。続いて、BSTO膜515上にスパッタにより白金膜516を形成する。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0073】次いで、図9(c)に示すように、第1の基板と第2の基板を重ね合わせ、800℃、10分の熱処理を行い、2つの基板を貼り合わせる。続いて、研磨法により単結晶NbドープSTO基板514を裏面より研磨し、所定の厚さまで薄膜化する。

【0074】次いで、図9(d)に示すように、NbドープSTO基板514の裏面上にレジスト(図示せず)を塗布し、通常のリソグラフィ技術によりパターンニングを行う。続いて、異方性エッチングにより、NbドープSTO基板514、BSTO膜515、白金膜516、シリコン酸化膜513、シリコン酸化膜509、シリコン酸化膜506、シリコン酸化膜502、シリコン基板501を順次エッチングして素子分離領域となる溝を形成する。

【0075】次いで、ポリイミド膜517を基板全面に塗布後リフローさせて、素子分離領域となる溝中に埋め込み、ウェットエッチングにより溝の中以外のポリイミド膜517を除去する。続いて、基板全面にスパッタによりアルミニウム膜519を形成し、通常のフォトリソ法技術によりパターンニングを行う。これにより、DRAMのメモリセル部分が形成された。

【0076】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

(実施例6) 図10及び図11は、本発明の第6の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0077】本実施例は、トランジスタを形成した第1の基板の下部にもキャパシタを形成し、トランジスタの上下にキャパシタを形成するものである。本実施例の方法を用いれば、Gビット世代のメモリ装置であっても平

10

20

30

40

50



(9)

特開平8-227980

15

面キャパシタによって実装可能となる。

【0078】まず、図10(a)に示すように、単結晶NbドープSTO基板601上に、BSTO膜602を6nmをスパッタ法により形成する。続いて、スパッタによりスズ添加インジウム酸化物膜(ITO膜と略記)603を形成し、通常のフォトリソグラフィ技術と反応性イオンエッチング技術を用いて加工してキャパシタ電極を形成する。その後、基板全面に常圧CVD法によりシリコン酸化膜604を形成し、通常のフォトリソグラフィ技術に従ってシリコン酸化膜604にITO膜603に達するコンタクトホール605を形成する。続いて、CVD法により基板全面に第2のITO膜606を形成し、反応性イオンエッチングにより、コンタクトホール605内にのみ残存せしめる。

【0079】次いで、図10(b)に示すように、上記の基板上に単結晶シリコン基板607を圧着し、酸素雰囲気中、1000℃で2時間熱処理して両基板を接合する。その後、化学的機械研磨法によりシリコン基板607の厚さが60nmとなるまで研磨する。

【0080】次いで、図10(c)に示すように、シリコン基板607にシリコン熱酸化膜608、ゲート電極609、 $n^+$ 型領域610、611を形成する。続いて、通常のフォトリソグラフィ技術によりシリコン基板607に素子分離領域612となる溝を形成する。その後、基板全面に厚いCVD酸化膜613を形成し、エッチバックして平坦化する。

【0081】次いで、図10(d)に示すように、CVD酸化膜613を通常のフォトリソグラフィ技術に従ってパターンニングすることにより、 $n^+$ 型領域610に達するコンタクトホール614を形成する。続いて、CVD酸化膜613及びコンタクトホール614の表面にタングステンシリサイド膜を堆積し、通常のフォトリソグラフィ技術に従ってパターンニングすることによりビット線615を形成する。

【0082】次いで、基板全面にCVD酸化膜616を堆積した後、CVD酸化膜616、CVD酸化膜613を通常のフォトリソグラフィ技術によりパターンニングして、 $n^+$ 型領域611に達するコンタクトホール617を形成する。続いて、選択CVD法によるタングステン膜631をコンタクトホール617中に埋め込む。その後、基板全面にアルミニウム膜618を形成する。続いて、基板全面にレジストを塗布し、通常のフォトリソグラフィ技術に従ってパターンニングすることにより、キャパシタを接続するコンタクトを形成する。そして、基板全面に層間絶縁膜619を形成し、化学的機械研磨法により平坦化する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0083】一方、図11(e)に示すように、単結晶(100)方位、1重量%のNbドープSTO基板620上に、BSTO膜621を6nmスパッタ法により形

16

成する。続いて、BSTO膜621上にスパッタにより白金膜622を形成し、周知のリソグラフィ技術により白金膜622を加工して電極のパターンを形成する。その後、プラズマCVD法によりシリコン酸化膜625を基板全面に成膜し、通常のフォトリソグラフィ技術により白金膜622に達するコンタクトホール623を形成する。次いで、基板全面にアルミニウム膜624を形成し、化学的機械研磨法により、アルミニウム膜624をコンタクトホール623内部にのみ残存せしめる。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0084】次いで、図11(f)に示すように、第1の基板上のコンタクトホール618内のアルミニウム膜と第2の基板上のコンタクトホール623内のアルミニウム膜624とが重なるように、第1の基板と第2の基板を重ね合わせ、500℃、10分の熱処理を行い、アルミニウム膜同士を融着させて2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0085】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

【実施例7】図12及び図13は、本発明の第7の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0086】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを貼り合わせた後に、層間絶縁膜の一部を絶縁破壊させて導電性を付与することにより、トランジスタとキャパシタを電気的に接続するものであり、合わせの精度は要しない。

【0087】まず、図12(a)に示すように、第1の実施例と同様に、単結晶シリコン基板701上に、素子分離領域702、シリコン熱酸化膜703、ゲート電極704、 $n^+$ 型領域705、706を形成し、層間絶縁膜となるCVD酸化膜707を成膜して $n^+$ 型領域705に達するコンタクトホール708を開孔する。続いて、コンタクトホール708内にタングステンシリサイド膜を形成しビット線709を形成する。

【0088】次いで、基板全面に常圧CVD酸化膜710を堆積した後、CVD酸化膜710、CVD酸化膜707を通常のフォトリソグラフィ技術によりパターンニングして、 $n^+$ 型領域706に達するコンタクトホール711を形成する。続いて、選択CVD法によるタングステン膜721をコンタクトホール711中に埋め込む。その後、基板全面にプラズマCVD法によりシリコン窒化膜712を堆積する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0089】一方、図12(b)に示すように、単結晶(100)方位YSZ基板713上に、成膜温度400

(10)

特開平8-227980

17

℃でスパッタ法により白金膜714を成膜する。この白金膜714は(100)配向でエピタキシャル成長する。続いて、白金膜714上にBa<sub>0.5</sub>、Sr<sub>0.5</sub>、TiO<sub>2</sub>膜(以下、BSTO膜と略記)715を3nmスパッタ法により形成する。その後、BSTO膜715全面にスパッタにより白金膜716を形成し、その上にスパッタ法により窒化チタン膜717を形成する。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0090】次いで、図12(c)に示すように、第1の基板と第2の基板を重ね合わせ、800℃の熱処理を行って2つの基板を貼り合わせる。なお、本実施例では絶縁膜としてシリコン窒化膜712を用いたが、第1の基板と第2の基板を接着させるのに適する絶縁膜、例えば有機物薄膜等を用いることも可能である。

【0091】ここで、ゲート電極704に電圧を印加してスイッチングトランジスタをON状態にし、同時に窒化チタン膜717と白金膜716に同電位で高電圧を印加する。これにより、図13(d)に示すように、タン

グステン膜712と窒化チタン膜717との間のシリコン窒化膜712が絶縁破壊を起こし、導電性に変化する。  
【0092】次いで、図13(e)に示すように、YSZ基板713を機械研磨により100nmまで薄膜化する。続いて、YSZ基板713上にレジスト(図示せず)を塗布し、通常のフォトリソグラフィ技術によりレジストをパターニングした後、反応性イオンエッチングにより、YSZ基板713、白金膜714、BSTO膜715、白金膜716を順次エッチングする。続いて、プラズマCVDでシリコン酸化膜722を形成し、エッチバックにより平坦化する。その後、通常のフォトリソグラフィ技術により、白金膜714に達するコンタクトホール718を形成する。続いて、基板全面にアルミニウム膜719をスパッタにより形成する。これにより、DRAMのメモリセル部分が形成された。

【0093】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

〈実施例8〉図14及び図15は、本発明の第8の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0094】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを貼り合わせた後に、コンタクトから不純物をキャパシタ電極部に拡散させて導電性を付与することにより、キャパシタ電極を形成し、かつコンタクトとキャパシタとを電気的に接続するものであり、合わせの精度は要しない。

【0095】まず、図14(a)に示すように、SOI基板801上にシリコン熱酸化膜802、ゲート電極8

18

03を形成する。続いて、基板全面にLPCVD法によりシリコン酸化膜804を形成し、異方性エッチングによりゲート電極803の側壁にのみ残存せしめる。続いて、イオン注入によりn<sup>+</sup>型領域805、806を形成する。その後、通常のフォトリソグラフィ法により素子分離領域のシリコン膜を除去する。

【0096】次いで、図14(b)に示すように、CVD酸化膜807をSOI基板801全面に形成し、通常のフォトリソグラフィ法に従ってパターニングすることにより、n<sup>+</sup>型領域805に達するコンタクトホールを形成し、以下第1の実施例と同様な工程によってビット線を形成する。その後、基板全面にCVD酸化膜808を堆積する。

【0097】次いで、図14(c)に示すように、CVD酸化膜808、CVD酸化膜807を通常のフォトリソグラフィ法によりパターニングして、n<sup>+</sup>型領域906に達するコンタクトホール809を形成する。続いて、CVD法によってニオブ膜810を均一に成膜する。その後、コリメーションスパッタ法により、基板全面及びコンタクトホール内部に白金膜811を形成する。

【0098】次いで、図15(d)に示すように、化学的機械研磨法により、白金膜811、ニオブ膜810をCVD酸化膜808上から除去する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0099】一方、図15(e)に示すように、単結晶(100)方位、1重量%のアルミニウムドープSTO基板812上に、MOCVD法によりBSTO膜813を5nmホモエピタキシャル成長させる。続いて、BSTO膜813上に、MOCVD法によりSTO膜814を10nm形成する。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0100】次いで、図15(f)に示すように、第1の基板と第2の基板を重ね合わせ、1200℃、10分の急速熱処理を行い、2つの基板を貼り合わせた後に急冷する。このとき、ニオブ膜810のニオブがSTO膜814中に拡散してキャパシタ電極が形成された。これにより、DRAMのメモリセル部分が形成された。

【0101】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い配線の形成を行い集積回路を作成するが、これらの工程は省略する。

〈実施例9〉図16は、本発明の第9の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0102】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを貼り合わせた後に、キャパシタとドレインを接続するコンタクトを形成するもので、基板貼り合わせの際の合わせの精度は低くてもよい。

【0103】まず、図16(a)に示すように、第1の

(11)

特開平8-227980

19

実施例と同様に、単結晶シリコン基板901上に、素子分離領域902、シリコン熱酸化膜903、ゲート電極904、 $n^+$ 型領域905、906を形成し、層間絶縁膜となるシリコン酸化膜907を成膜して、 $n^+$ 型領域905に連通するコンタクトホールを開孔しビット線908を形成する。続いて、基板全面に常圧CVD酸化膜915を堆積させる。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0104】一方、図16(b)に示すように、両面鏡面研磨単結晶(100)方位のNbドープSTO基板909上にBSTO膜910を3nmMOCVD法により形成する。続いて、BSTO膜910全面にスパッタによりITO膜911を形成する。その後、通常のフォトリソエッチング法によりITO膜911を加工してキャパシタ電極を形成する。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0105】次いで、図16(c)に示すように、第1の基板の表面と第2の基板のキャパシタを形成していない裏面とを重ねあわせ、900℃の熱処理を行って2つの基板を貼り合わせる。

【0106】次いで、図16(d)に示すように、基板全面にレジスト(図示せず)を塗布し、通常のフォトリソグラフィ技術によりレジスト膜をコンタクトホールのパターンにパターニングする。続いて、異方性エッチングにより、ITO膜911、BSTO膜910、NbドープSTO基板909、CVD酸化膜をエッチングして、 $n^+$ 型領域906に連通するコンタクトホール912を形成する。その後、CVD法により酸化膜913を形成し、異方性エッチングによりコンタクトホール912の側壁にのみ残存せしめる。続いて、選択CVD法によりコンタクトホール912内及びITO膜911上にタングステン膜914を形成する。これにより、DRAMのメモリセル部分が形成された。

【0107】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

(実施例10) 図17は、本発明の第10の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0108】本実施例は、FRAMを貼り合わせて作るものである。キャパシタを独立に作ることで、残留分極特性の良いキャパシタをFRAMに組み込むことが可能となる。

【0109】まず、図17(a)に示すように、第2の実施例と同様に、単結晶シリコン基板1001上に、素子分離領域1002、シリコン熱酸化膜1003、ゲート電極1004、 $n^+$ 型領域1005、1006を形成し、層間絶縁膜となるCVD酸化膜1007を成膜してから、第2の実施例と同様にビット線1008を形成する。続いて、基板全面にCVD酸化膜1009を成膜

20

し、第2の実施例と同様にして $n^+$ 型領域1006に連通するコンタクトホール1010を形成し、選択CVD法によるタングステン膜をコンタクトホール1010中に埋め込む。その後、キャパシタを接続するコンタクトホール1011を形成した後、さらにスパッタ法及び研磨法によりアルミニウム膜1012をコンタクトホール1011内に形成する。以上の工程により、スイッチング素子を形成した第1の基板が形成された。

【0110】一方、図17(b)に示すように、単結晶(100)方位ニオブドープSTO基板1013上に成膜温度400℃でスパッタ法によりPZT膜1014を100nmスパッタ法により形成する。続いて、PZT膜1014上にスパッタにより $YBa_2Cu_3O_{7-x}$ 膜(以下YBCO膜と略記)1015、白金膜1016、アルミニウム膜1017を順次形成する。続いて、通常のフォトリソエッチング法によりアルミニウム膜1017、白金膜1016、YBCO膜1015を順次加工した後、基板全面にCVD酸化膜1018を成膜し、機械的研磨法によりCVD酸化膜1018を平坦化してアルミニウム膜1017を露出させる。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0111】なお、このような方法で形成されたPZT薄膜キャパシタは本発明の効果のところで記述したように極めて疲労を起こし難いキャパシタとなる。次いで、図17(c)に示すように、2つの基板をアルミニウム膜1012とアルミニウム膜1017が接するように圧着して500℃で熱処理しながら、アルミニウム膜同士を融着させ2つの基板を貼り合わせる。これにより、FRAMのメモリセル部分が形成された。

【0112】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、以下の工程は省略する。

(実施例11) 図18は、本発明の第11の実施例に係わるNAND型DRAMの製造工程を示す断面図である。

【0113】NAND型DRAMではメモリセルを複数個(図では4個)直列に接続した構造を待ため、セル面積の縮小が容易である。本発明とNAND型DRAMセルを組み合わせると、高蓄積電荷能力の平面キャパシタと組み合わせることにより、低コストで高集積DRAMを実現することが可能になる。

【0114】本実施例では、図18(a)に示すようなNAND型DRAMのスイッチング素子を形成したシリコン基板1100と、図18(b)に示すようなキャパシタを形成したMgO基板1101とを、図18(c)のように貼り合わせた例を示している。キャパシタの構造はITO膜1102、BSTO膜1103、ITO膜1104の積層である。

(実施例12) 図19及び図20は、本発明の第12の

(12)

特開平8-227980

21

実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0115】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを貼り合わせる方法として、第2の基板上に形成したキャパシタ絶縁膜に第1の基板に形成したキャパシタ電極を貼り合わせるものであり、従って基板貼り合わせの際に合わせを必要とせず、自己整合的な基板貼り合わせが可能となる。

【0116】まず、図19(a)に示すように、第1の10 実施例と同様に、単結晶シリコン基板1201上に、素子分離領域1202、シリコン熱酸化膜1203、ゲート電極1204、 $n^+$ 型領域1205、1206を形成する。

【0117】次いで、図19(b)に示すように、層間絶縁膜となるCVD酸化膜1207を成膜して、 $n^+$ 型領域1205に連通するコンタクトホール1208を開く。続いて、コンタクトホール1208内にタングステンシリサイド膜を形成しビット線1209を形成する。その後、基板全面にCVD酸化膜1210を堆積する。続いて、CVD酸化膜1210、CVD酸化膜1207を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域1206に連通するコンタクトホール1211を形成する。その後、CVD法により多結晶シリコン膜1212をコンタクトホール1211中に埋め込む。

【0118】次いで、基板全面に窒化チタン膜1213を形成し、通常のフォトリソ法に従ってパターニングする。続いて、基板全面にCVD酸化膜1214を形成し、研磨法によって平坦化し窒化チタン膜1213 30 を露出させる。

【0119】次いで、図19(c)に示すように、鍍金法により、白金膜1215を窒化チタン膜1213上に形成する。次いで、図20(d)に示すように、スパッタ法によりBSTO膜1216を基板全面に形成し、研磨法により白金膜1215が露出するまで研磨して平坦化する。以上により、スイッチング素子を形成した第1の基板が形成された。

【0120】一方、図20(e)に示すように、単結晶シリコン基板1217上に熱酸化により厚いシリコン酸化膜1218を形成し、更にスパッタ法により窒化モリブデン膜1219、白金膜1220、BSTO膜1221を形成する。良好な結晶を得るためにBSTO膜は850℃で成膜し、成膜後にランプ加熱により1200℃まで昇温し20秒保持後に室温まで急冷する。この処理によりBSTOの誘電率は本発明の効果のところで示したようなバルク並みの値を示すようになる。以上の工程により、キャパシタの一部を形成した第2の基板が形成された。

【0121】次いで、図20(f)に示すように、第1 50

22

の基板と第2の基板を重ね合わせ、900℃、30分の熱処理を行い、BSTO膜1216とBSTO膜1221のBSTO同士を接合し、2つの基板を貼り合わせる。これにより、DRAMのメモセル部分が形成された。

【0122】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

（実施例13）図21及び図22は、本発明の第13の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0123】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板を貼り合わせる方法として、第2の基板上に形成したキャパシタ絶縁膜に第1の基板に形成した立体キャパシタを貼り合わせるものであり、これにより立体キャパシタ形成の際のプロセス自由度が大きくなるという利点がある。

【0124】まず、図21(a)に示すように、第12 20 実施例と同様に、単結晶シリコン基板1301上に、素子分離領域1302、シリコン熱酸化膜1303、ゲート電極1304、 $n^+$ 型領域1305、1306を形成する。

【0125】次いで、図21(b)に示すように、層間絶縁膜となるCVD酸化膜1307を成膜して、 $n^+$ 型領域1305に連通するコンタクトホール1308を開く。続いて、コンタクトホール1308内にタングステンシリサイド膜を形成しビット線1309を形成する。その後、基板全面にCVD酸化膜1310を堆積させる。続いて、CVD酸化膜1310、CVD酸化膜1307を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域1306に連通するコンタクトホール1311を形成する。その後、CVD法により多結晶シリコン膜1312をコンタクトホール1311中に埋め込む。

【0126】次いで、基板全面に窒化チタン膜1313を形成し、通常のフォトリソ法に従ってパターニングする。続いて、基板全面にCVD酸化膜1314を形成し、研磨法によって平坦化し窒化チタン膜1313 40 を露出させる。

【0127】次いで、図21(c)に示すように、鍍金法により、白金膜1315を窒化チタン膜1313上に形成する。次いで、図21(d)に示すように、CVD酸化膜1316を基板全面に形成し、研磨法により白金膜1315が露出するまで研磨して平坦化する。以上により、スイッチング素子を形成した第1の基板が形成された。

【0128】一方、図22(e)に示すように、単結晶シリコン基板1317上に熱酸化により厚いシリコン酸化膜1318を形成し、更にスパッタ法により窒化モリ

(13)

特開平8-227980

23

24

ブデン膜1319、白金膜1320を形成する。続いて、白金膜1320上にCVD酸化膜(図示せず)を形成し、通常のフォトリソ法によりパターニングをする。その後、CVD酸化膜をマスクにして350℃に基板を加熱し、塩素ガスによって反応性イオンエッチングを行い、白金膜1320を加工する。続いて、CVD酸化膜をウェットエッチングにより除去する。

【0129】次いで、図22(f)に示すように、CVD法により基板全面に一樣にBSTO膜1321を形成する。良好な結晶を得るためにBSTO膜1321は850℃で成膜し、成膜後にランプ加熱により1200℃まで昇温し、20秒保持後に室温まで急冷する。この処理により、BSTOの誘電率は本発明の効果のところで示したようなバルク並みの値を示すようになる。続いて、スパッタ法により、基板全面に白金膜1322を形成し、前述のような手順に従ってパターニングを行う。その後、基板全面にCVD酸化膜1323を形成し、研磨法により平坦化する。以上の工程により、キャパシタの一部を形成した第2の基板が形成された。

【0130】次いで、図22(g)に示すように、第1の基板と第2の基板を重ね合わせ、850℃の熱処理を行い、白金膜1315と白金膜1322を接合し、2つの基板を貼り合わせる。これにより、DRAMのメモリセル部分が形成された。

【0131】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

〔実施例14〕図23及び図24は、本発明の第14の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0132】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板とを貼り合わせる方法として、第2の基板上に形成したキャパシタ絶縁膜に、第1の基板に形成した立体キャパシタを合わせ不要で貼り合わせるものである。

【0133】まず、図23(a)に示すように、第12の実施例と同様に、単結晶シリコン基板1401上に、素子分離領域1402、シリコン熱酸化膜1403、ゲート電極1404、 $n^+$ 型領域1405、1406を形成する。

【0134】次いで、図23(b)に示すように、層間絶縁膜となるCVD酸化膜1407を成膜して、 $n^+$ 型領域1405に連通するコンタクトホール1408を開く。続いて、コンタクトホール1408内にタンゲステンシリサイド膜を形成しビット線1409を形成する。その後、基板全面にCVD酸化膜1410を堆積させる。続いて、CVD酸化膜1410、CVD酸化膜1407を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域1406に連通するコンタクトホール

1411を形成する。

【0135】次いで、CVD法により多結晶シリコン膜1412をコンタクトホール1411中に埋め込む。続いて、基板全面に窒化チタン膜1413を形成し、通常のフォトリソ法に従ってパターニングする。その後、基板全面にCVD酸化膜1414を形成し、研磨法によって平坦化して窒化チタン膜1413を露出させる。

【0136】次いで、図23(c)に示すように、鍍金法により、白金膜1415を窒化チタン膜1413上に形成する。次いで、図23(d)に示すように、CVD酸化膜1416を基板全面に形成し、研磨法により白金膜1415が露出するまで研磨して平坦化する。以上により、スイッチング素子を形成した第1の基板が形成された。

【0137】一方、図24(e)に示すように、単結晶シリコン基板1417上に熱酸化により厚いシリコン酸化膜1418を形成し、更にスパッタ法により窒化モリブデン膜1419、白金膜1420を形成する。続いて、白金膜1420上にCVD酸化膜(図示せず)を形成し、通常のフォトリソ法によりパターニングをする。その後、CVD酸化膜をマスクにして350℃に基板を加熱し、塩素ガスによって反応性イオンエッチングを行い、白金膜1420を加工する。続いて、CVD酸化膜をウェットエッチングにより除去する。このとき、白金膜1420は各辺とも最小加工寸法以下の角柱状又は直径が最小加工寸法以下の円柱状に加工を行う。

【0138】次いで、図24(f)に示すように、CVD法により基板全面に一樣にBSTO膜1421を形成する。良好な結晶を得るためにBSTO膜1421は850℃で成膜し、成膜後にランプ加熱により1200℃まで昇温し、20秒保持後に室温まで急冷する。この処理により、BSTOの誘電率は本発明の効果のところで示したようなバルク並みの値を示すようになる。続いて、コーメーションスパッタ法により、基板全面に白金膜1422を形成する。

【0139】次いで、図24(g)に示すように、化学的機械研磨法により白金膜1422をBSTO膜1421の表面まで研磨する。このとき、白金膜1422は柱状に残置し、その径又は幅は最小加工法よりも小さくなる。以上の工程により、キャパシタの一部を形成した第2の基板が形成された。

【0140】次いで、図24(h)に示すように、第1の基板と第2の基板を重ね合わせ、850℃の熱処理を行い、白金膜1415と白金膜1422を接合し、2つの基板を貼り合わせる。このとき、白金膜1422は最小加工寸法よりも小さく加工されているので、異なるセルに戻る白金電極1415が白金膜1422を介して短絡することはない。また、貼り合わせの際の合わせは不要である。以上により、DRAMのメモリセル部分が形

(14)

特開平8-227980

25

26

成された。

【0141】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

〔実施例15〕図25は、本発明の第15の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0142】本実施例は、トランジスタを形成した第1の基板とキャパシタを形成した第2の基板を貼り合わせる方法として、第2の基板上に形成したキャパシタ電極に第1の基板に形成したコンタクト多結晶シリコンをシリサイデーションを貼り合わせるものであり、低温での貼り合わせが可能となる。

【0143】まず、図25(a)に示すように、第12の実施例と同様に、単結晶シリコン基板1501上に、素子分離領域1502、シリコン熱酸化膜1503、ゲート電極1504、 $n^+$ 型領域1505、1506を形成する。

【0144】次いで、図25(b)に示すように、層間絶縁膜となるCVD酸化膜1507を成膜して、 $n^+$ 型領域1505に連通するコンタクトホール1508を開く。続いて、コンタクトホール1508内にタングステンシリサイド膜を形成しビット線1509を形成する。その後、基板全面にCVD酸化膜1510を堆積する。続いて、CVD酸化膜1510、CVD酸化膜1507を通常のフォトリソ法によりパターニングして、 $n^+$ 型領域1506に連通するコンタクトホール1511を形成する。その後、選択CVD法により多結晶シリコン膜1512をコンタクトホール1511中に埋め込む。この時に多結晶シリコン膜1512をCVD酸化膜1510上にはみ出させる。以上により、スイッチング素子を形成した第1の基板が形成された。

【0145】一方、図25(c)に示すように、単結晶シリコン基板1513上に熱酸化により厚いシリコン酸化膜1514を形成し、更にスパッタ法により窒化シリコン膜1515、白金膜1516、BSTO膜1517を形成する。良好な結晶を得るためにBSTO膜1517は850℃で成膜し、成膜後にランプ加熱により1200℃まで昇温し、20秒保持後に室温まで急冷する。この処置により、BSTOの誘電率は本発明の効果のところで示したようなバルク並みの値を示すようになる。

【0146】次いで、BSTO膜1517上にスパッタ法により白金膜1518を形成し、パターニングを行う。続いて、基板全面にCVD酸化膜1519を形成し、平坦化して白金膜1518を露出させる。以上の工程により、キャパシタを形成した第2の基板が形成された。

【0147】次いで、図25(d)に示すように、第1の基板と第2の基板を重ね合わせ、450℃、20分の

熱処理を行い、多結晶シリコン膜1512と白金膜1518をシリサイデーションによって結合させる。シリサイデーションを用いることで低温で極めて密着性のよい貼り合わせが実現できる。これにより、DRAMのメモリセル部分が形成された。

【0148】これ以降は、通常のLSIの製造プロセスに従って、パシベーション膜の形成を行い、さらに配線の形成を行って集積回路を作成するが、これらの工程は省略する。

〔実施例16〕図26は、本発明の第16の実施例に係わる半導体記憶装置の製造工程を示す断面図である。

【0149】本実施例は、トランジスタを形成した第1のSOI基板とキャパシタを形成した第2のシリコン基板とを貼り合わせる際に、窒化チタンを経過層として用いるもので、電極の白金膜をエピタキシャル成長させ、その上に良質な高誘電率薄膜を成長させる。このキャパシタをシリサイデーションを利用して貼り合わせることで、高性能の半導体記憶装置を実現することができる。

【0150】まず、図26(b)に示すように、SOI基板1601上に、ゲート絶縁膜1602a、ゲート電極1602b、 $n$ 型ソース・ドレイン領域1603、1604を形成する。次いで、図26(b)に示すように、層間絶縁膜となるCVD酸化膜1605を成膜して $n$ 型領域1603に連通するコンタクトホールを開くし、続いてコンタクトホール内に多結晶シリコン膜1606を形成する。

【0151】次いで、タングステンシリサイド膜を形成し、通常のフォトリソ法でパターニングすることにより、ビット線1607を形成する。次いで、基板全面にCVD三酸化膜1608を堆積させ、続いてこのCVD酸化膜1608、1605を通常のフォトリソ法によりパターニングして $n$ 型領域1604に連通するコンタクトホールを形成する。次いで、選択CVD法により多結晶シリコン膜1609をコンタクトホール中に埋め込む。以上で図26(b)に示すようにスイッチング素子を形成した第1の基板が形成された。

【0152】一方、図26(c)に示すように、単結晶シリコン基板1610を用意し、この基板1610上の自然酸化膜を希酸蒸気で除去し、高真空中で750℃に昇温し、スパッタ法により窒化チタン膜1611を形成する。このようにすると窒化チタン膜1611はエピタキシャル成長する。

【0153】次いで、図26(d)に示すように、窒化チタン膜1611上に成膜温度750℃で白金膜1612をスパッタ法により形成する。このとき、白金膜1612は〈100〉方位にエピタキシャル成長する。続いて、成膜温度800℃でBSTO膜1613を形成する。このとき、BSTO膜1613はやはりエピタキシャル成長する。この結果、極めて良好な結晶を得ること

(15)

特開平8-227980

27

28

ができ高い誘電率を実現できる。

【0154】次いで、成膜温度750℃で白金膜1614を形成し、この白金膜1614を通常のフォトリソグラフィ技術によりパターンニングを行う。次いで、基板全面にCVD酸化膜1615を形成し、機械的研磨法により平坦化する。以上の工程により図26(d)に示すようにキャパシタを形成した第2の基板が形成された。

【0155】次いで、図26(e)に示すように、第1の基板と第2の基板を重ね合わせ、450℃、20分の熱処理を行い、多結晶シリコン膜1609と白金膜1614をシリサイダーションによって結合させる。シリサイダーションを用いることで第15の実施例と同様に低温で極めて密着性の良い貼り合わせが実現できる。これにより、DRAMのメモリエル部分が形成された。

【0156】その後、通常のLSIの製造プロセスに従って、パッシベーション膜の形成及び配線の形成を行い集積回路を作成するが、これらの工程は省略する。ここまでの実施例ではセラミックス基板としてSTO、MgO、YSZを例にあげたが、高誘電体膜と格子定数のミスマッチが少なく、高誘電体膜をホモエピタキシャル成長させることができる基板、例えばBaTiO<sub>3</sub>、BaZrO<sub>3</sub>、KFeF<sub>3</sub>、BaSnO<sub>3</sub>、KCoF<sub>3</sub>、SrHfO<sub>3</sub>、RbCoF<sub>3</sub>、KZnF<sub>3</sub>、BaMoO<sub>3</sub>、SrSnO<sub>3</sub>、LiBaH<sub>3</sub>、KNiF<sub>3</sub>、LiBaF<sub>3</sub>、LaVO<sub>3</sub>、KTaO<sub>3</sub>、BaFeO<sub>3</sub>、SrMoO<sub>3</sub>、MgF<sub>3</sub>、FeBiO<sub>3</sub>、LaRhO<sub>3</sub>、AgTaO<sub>3</sub>、BiMnO<sub>3</sub>、Mn<sub>2</sub>ZnC、LaTiO<sub>3</sub>、CeVO<sub>3</sub>、BiCrO<sub>3</sub>、CeFeO<sub>3</sub>、EuTiO<sub>3</sub>、SmVO<sub>3</sub>、CeGaO<sub>3</sub>、AlMn<sub>2</sub>C、SrFeO<sub>3</sub>、CeCrO<sub>3</sub>、PuMnO<sub>3</sub>及びこれらの基板にNb、Fe、Al等不純物をドーピングして導電性を付与した基板を用いることも可能である。また、上記基板とシリコン基板を貼り合わせたSOI基板を用いることも可能である。

【0157】また、高誘電体膜の製造方法としてはスパッタ法、CVD法以外にも蒸着法、MBE法、ゾルゲル法、レーザーアブレーション法などを用いることも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0158】

【発明の効果】以上説明したように本発明によれば、トランジスタを形成した基板とは別の基板に、例えばペロブスカイト結晶構造を有する高(強)誘電体膜を用いたキャパシタを形成し、これらの基板を貼り合わせて一体化することにより、例えばペロブスカイト結晶構造を有する誘電体膜を用いて、リーク電流が小さく、かつ高誘電率を有する薄層キャパシタを形成することができ、十分なキャパシタ容量を確保した平面型キャパシタセルを有する半導体装置及びその製造方法を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図2】第1の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図3】第2の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図4】第2の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図5】第3の実施例に係わる半導体記憶装置の製造工程を示す断面図。

【図6】第4の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図7】第4の実施例に係わる半導体記憶装置の製造工程の中段を示す断面図。

【図8】第4の実施例に係わる半導体記憶装置の製造工程の後段を示す断面図。

【図9】第5の実施例に係わる半導体記憶装置の製造工程を示す断面図。

【図10】第6の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図11】第6の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図12】第7の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図13】第7の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図14】第8の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図15】第8の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図16】第9の実施例に係わる半導体記憶装置の製造工程を示す断面図。

【図17】第10の実施例に係わる半導体記憶装置の製造工程を示す断面図。

【図18】第11の実施例に係わるNAND型DRAMの製造工程を示す断面図。

【図19】第12の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図20】第12の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図21】第13の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図22】第13の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図23】第14の実施例に係わる半導体記憶装置の製造工程の前半を示す断面図。

【図24】第14の実施例に係わる半導体記憶装置の製造工程の後半を示す断面図。

【図25】第15の実施例に係わる半導体記憶装置の製

(16)

特開平 8-227980

29

30

造工程を示す断面図。

【図26】第16の実施例に係わる半導体記憶装置の製造工程を示す断面図。

【図27】多結晶 $\text{SrTiO}_3$ 膜のリーク電流特性を示す図。

【図28】多結晶STO膜の誘電率の膜厚依存性を示す図。

【図29】STO膜の誘電率の成膜温度依存性を示す図。

【図30】単結晶PLZT薄膜キャパシタと従来の多結晶イリジウム電極上に形成した多結晶PLZT薄膜キャパシタの疲労度を残電分極の書き込み/読み出し回数依存性によって示した図。

【符号の説明】

101…単結晶シリコン基板

\*

\* 102…素子分離領域

103…シリコン熱酸化膜（ゲート酸化膜）

104…ゲート電極

105, 106… $n^+$ 型領域（ソース・ドレイン）

107, 110…CVD酸化膜

108, 111…コンタクトホール

109…ビット線

112…多結晶シリコン膜

113…窒化チタン膜

114…NbドープSTO基板

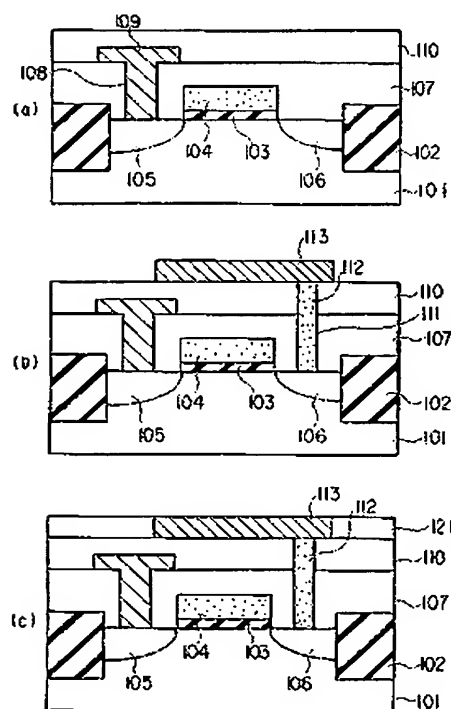
115…BSTO膜

116…白金膜

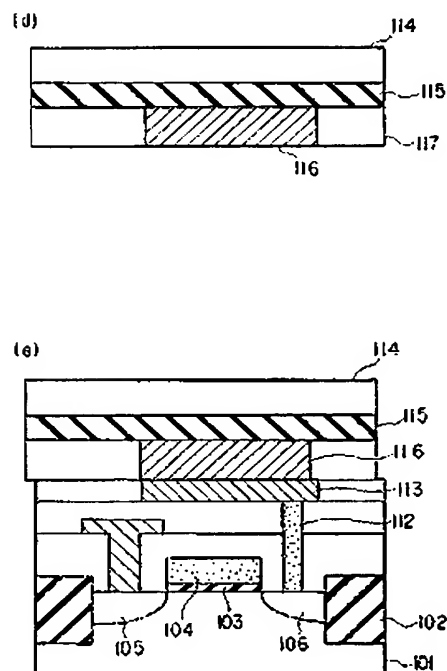
117…シリコン酸化膜

121…層間絶縁膜

【図1】



【図2】

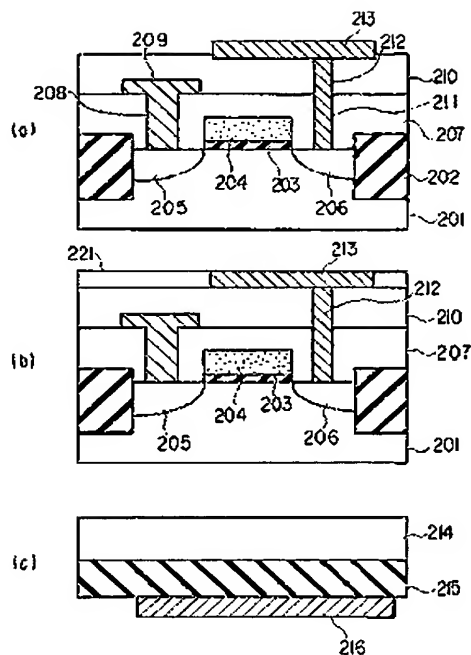




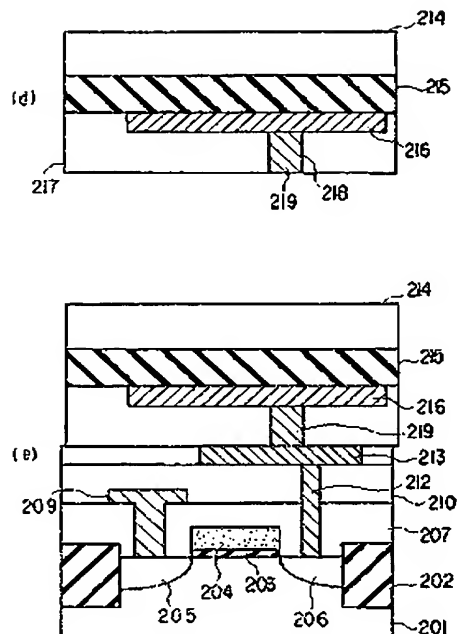
(17)

特開平 8 - 2 2 7 9 8 0

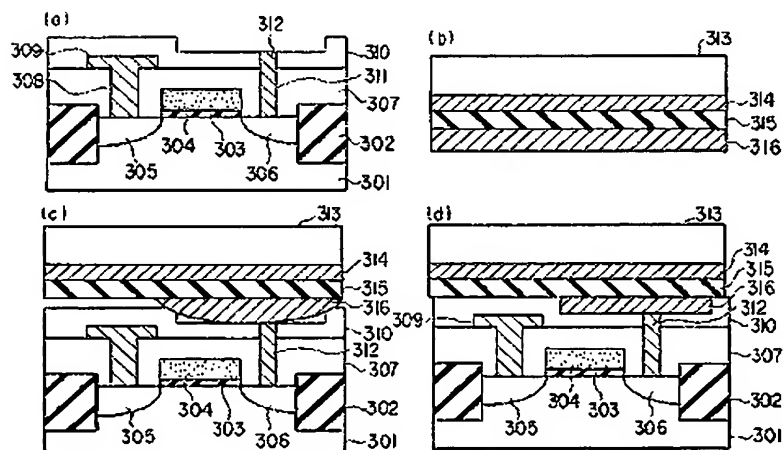
【図 3】



【図 4】



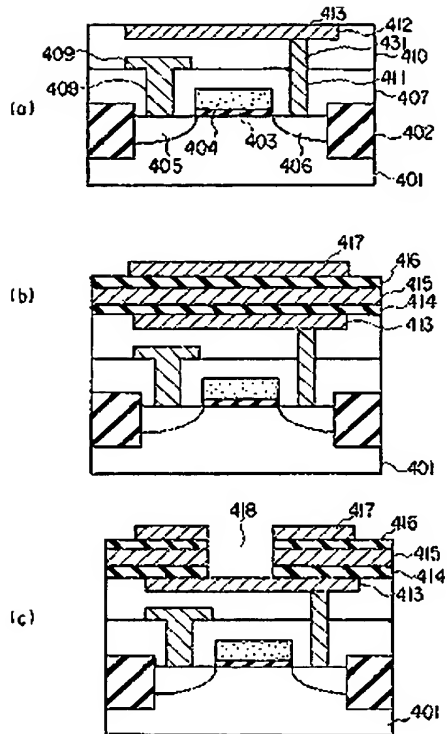
【図 5】



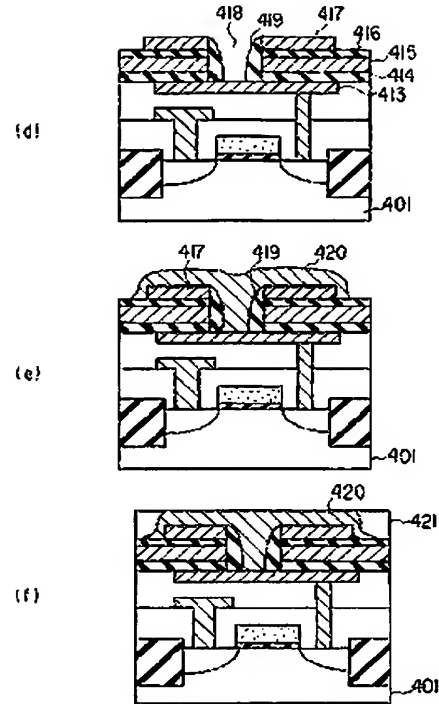
(18)

特開平 8 - 2 2 7 9 8 0

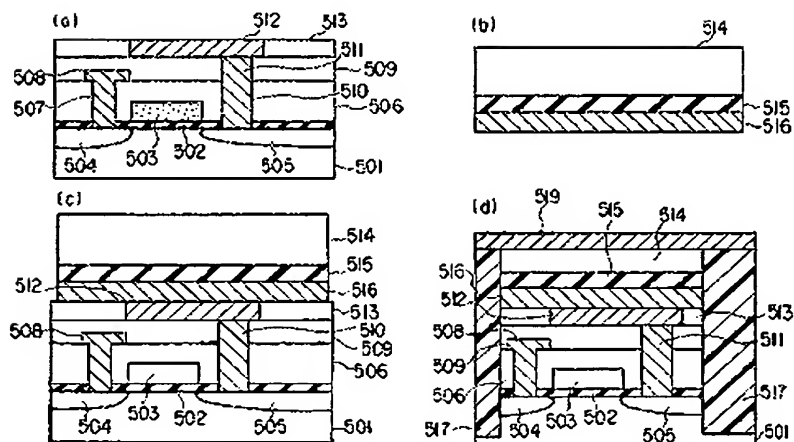
【図 6】



【図 7】



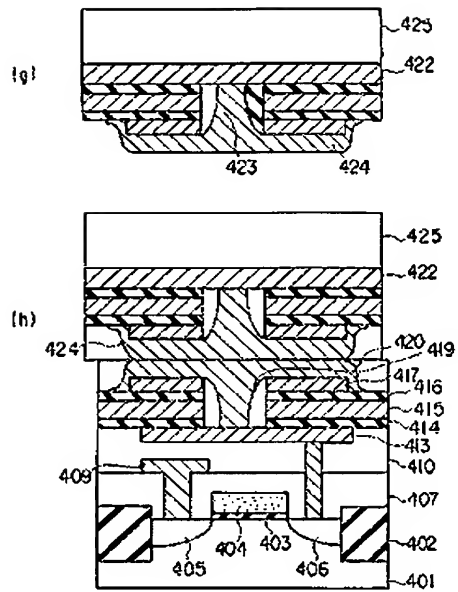
【図 9】



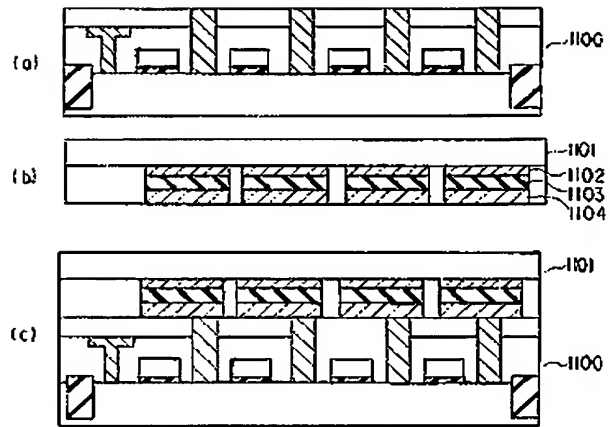
(19)

特開平 8 - 2 2 7 9 8 0

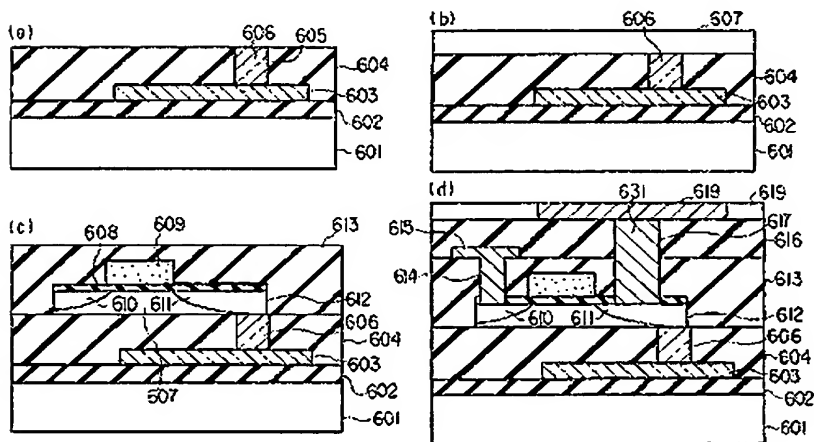
【図 8】



【図 1 8】



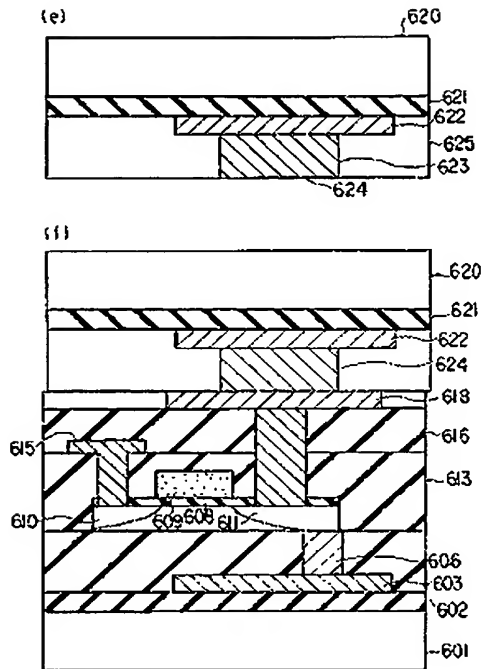
【図 1 0】



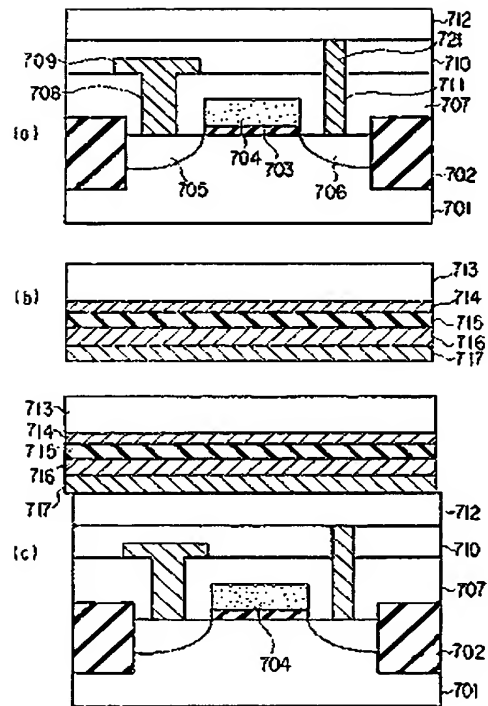
(20)

特開平 8-227980

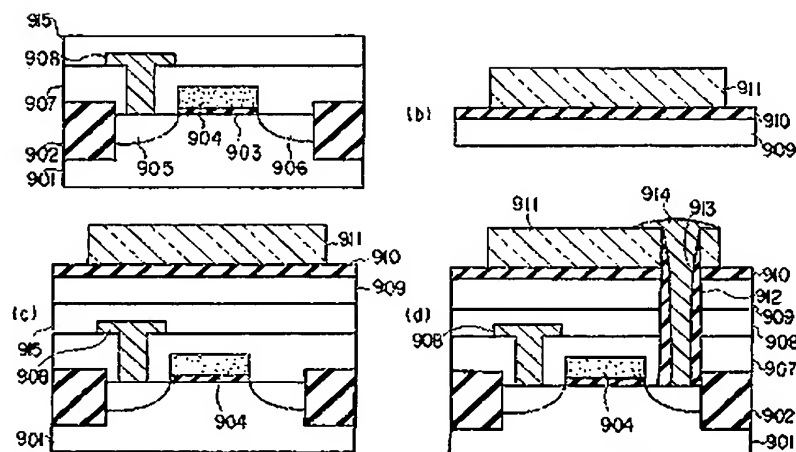
【図11】



【図12】



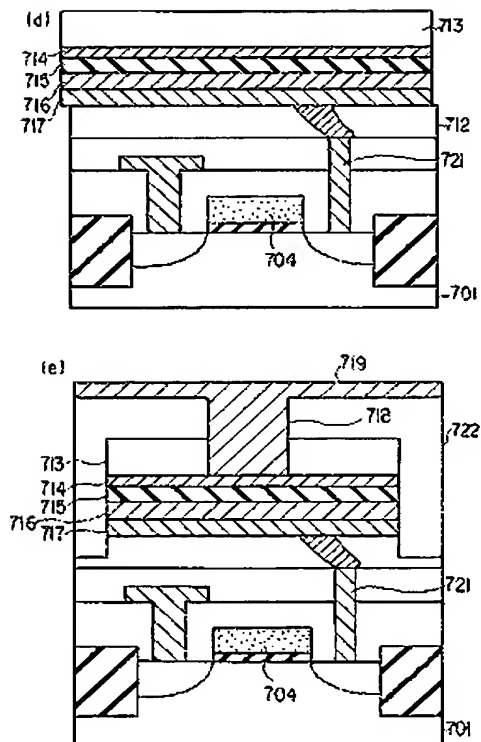
【図16】



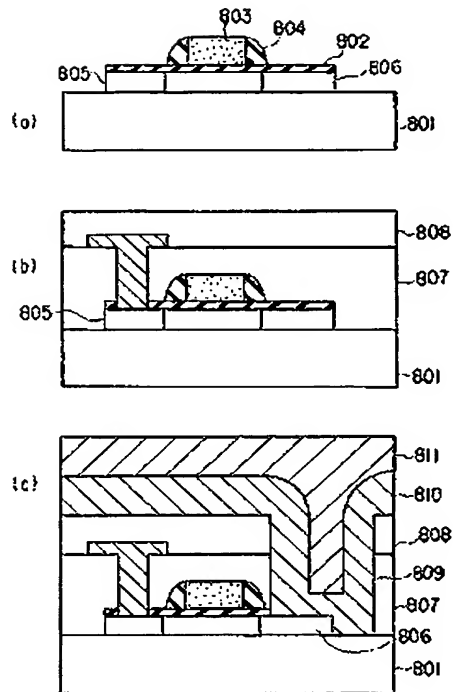
(21)

特開平 8 - 2 2 7 9 8 0

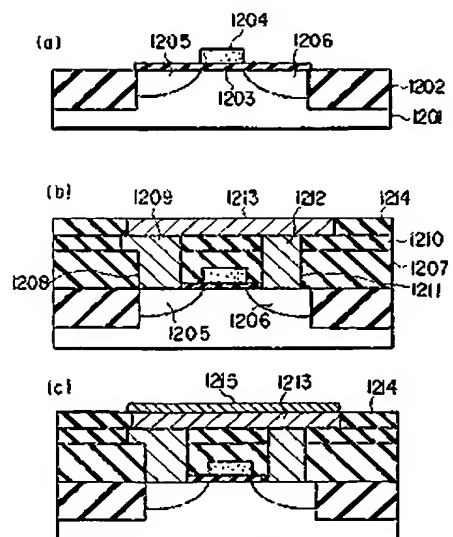
【図 13】



【図 14】



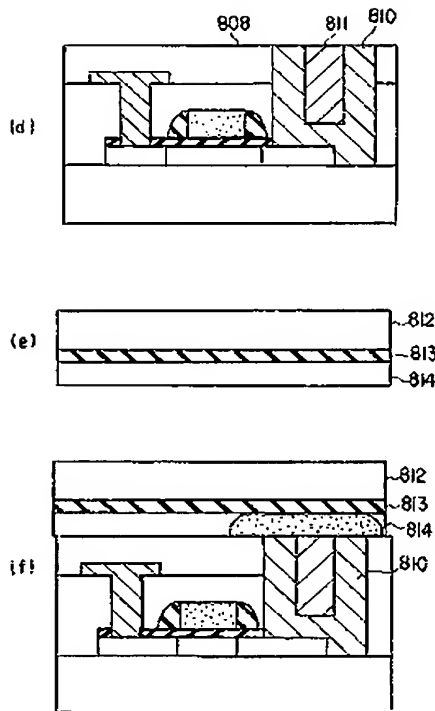
【図 19】



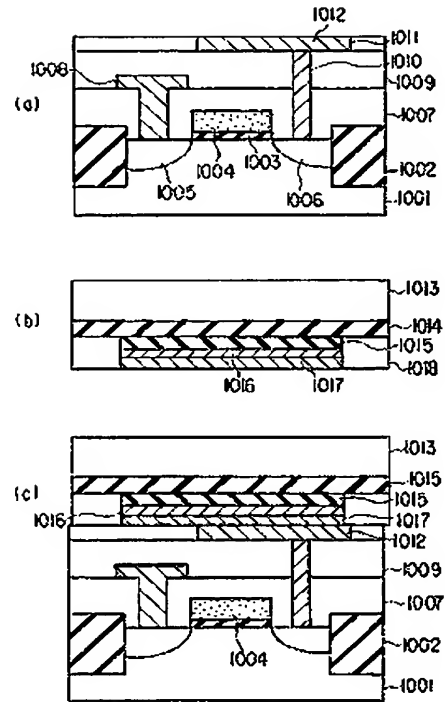
(22)

特開平 8 - 2 2 7 9 8 0

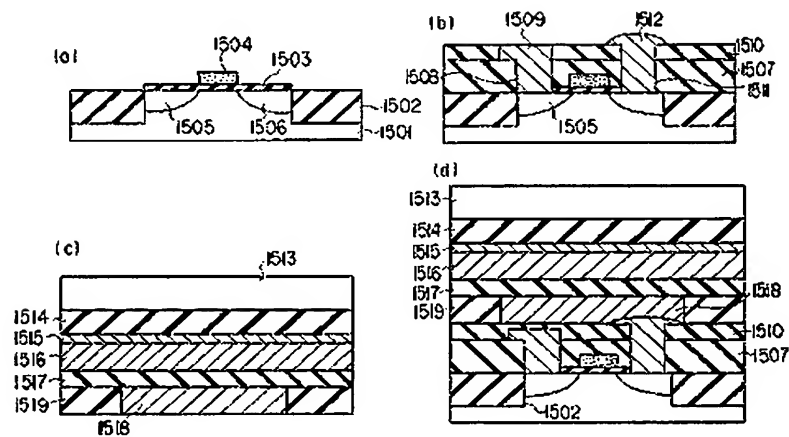
【図 15】



【図 17】



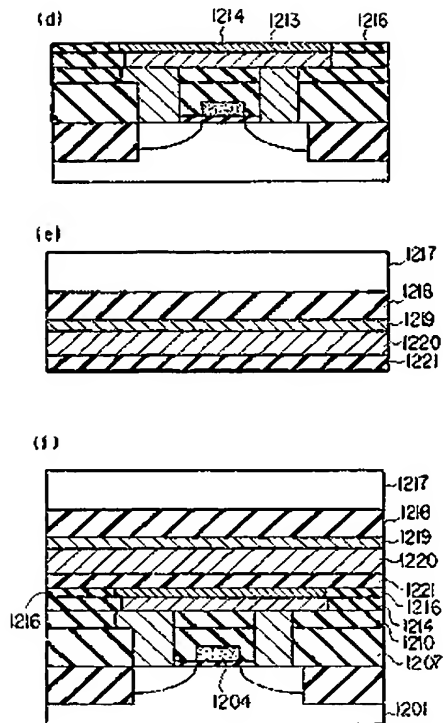
【図 25】



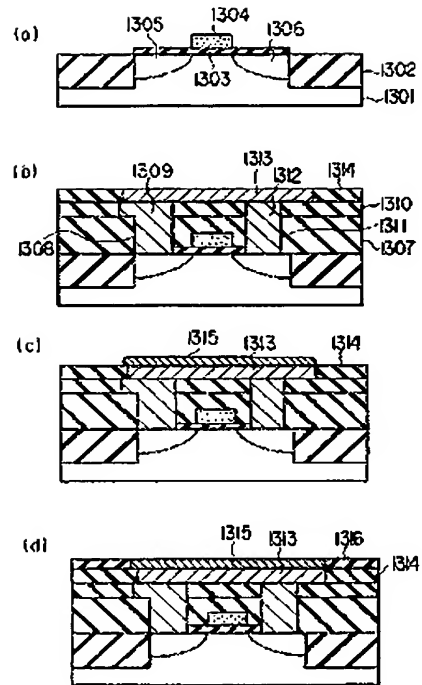
(23)

特開平 8 - 2 2 7 9 8 0

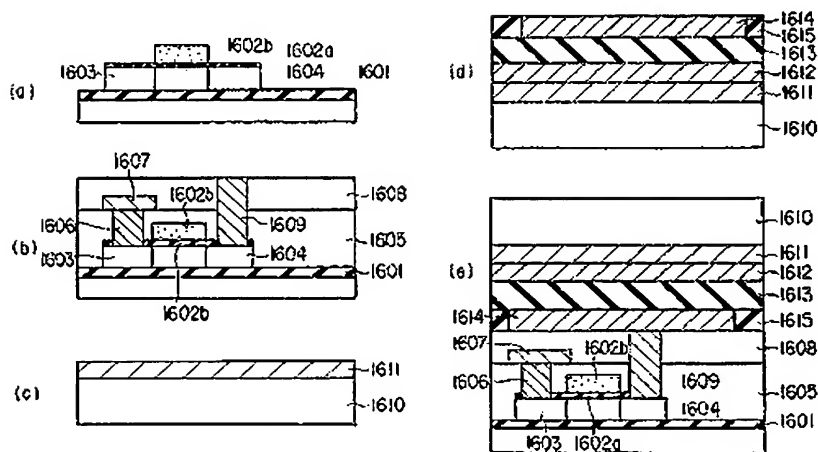
【図 20】



【図 21】



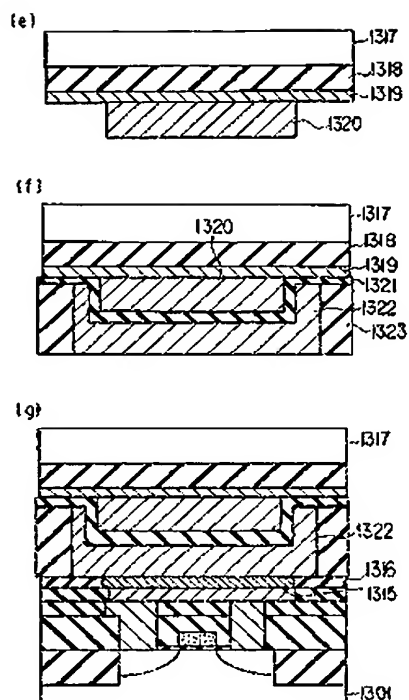
【図 26】



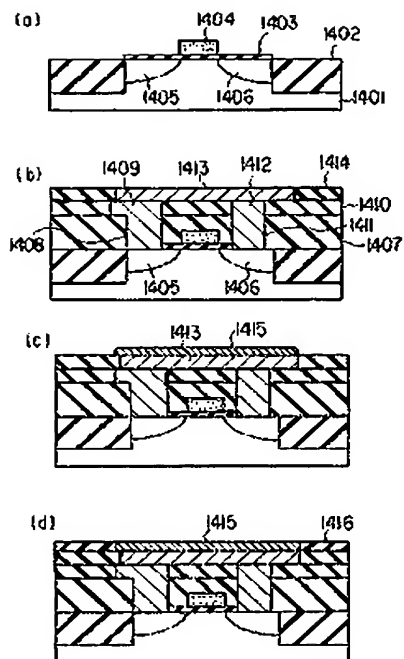
(24)

特開平 8-227980

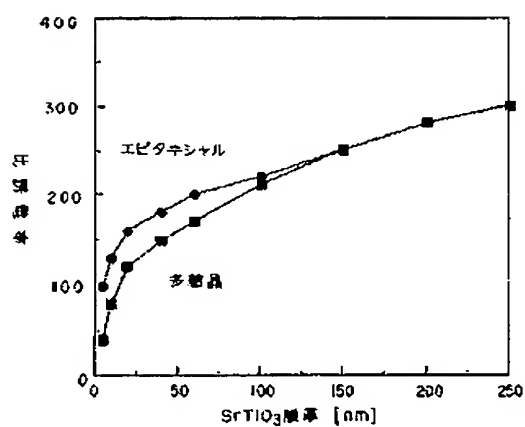
【図 22】



【図 23】



【図 28】

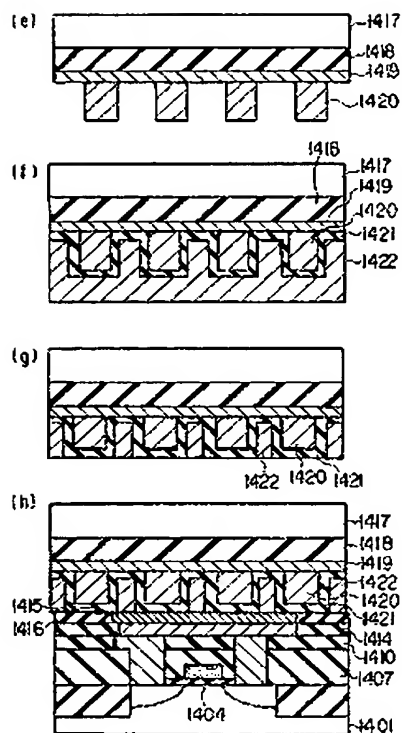




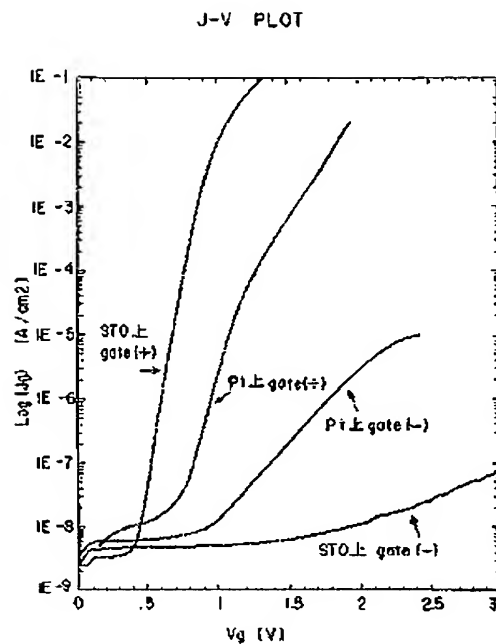
(25)

特開平8-227980

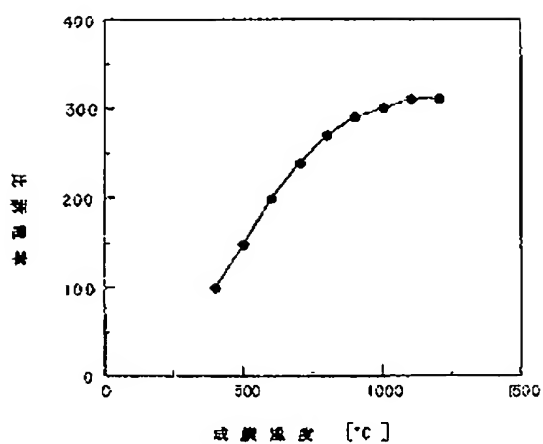
【図24】



【図27】



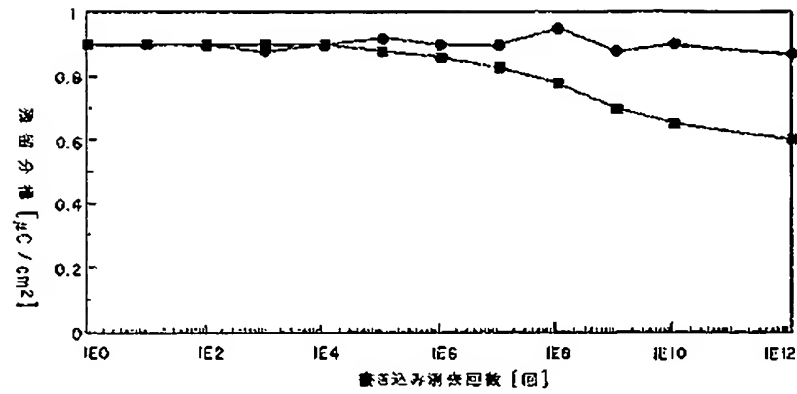
【図29】



(25)

特開平8-227980

〔図30〕




---

フロントページの続き

(72)発明者 江口 和弘  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社京芝研究開発センター内